

21656

출력 일자: 2003/9/27

발송번호 : 9-5-2003-037137167
발송일자 : 2003.09.26
제출기일 : 2003.11.26

수신 : 서울 종로구 내자동 219 한누리빌딩(김&
장 특허법률사무소)
장수길 귀하



특허청 의견제출통지서

출원인 명칭 미쓰비시덴키 가부시기가이샤 (출원인코드: 519980960919)
주소 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고
대리인 성명 장수길 외 1 명
주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)
출원번호 10-2001-0049795
발명의 명칭 반도체 장치 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원의 청구범위 제1-3항은 반도체 장치 및 그 제조방법에 관한 것으로, 게이트전극 아래 산화막이 게이트전극의 엣지 근방 아래가 중앙부 아래보다 막두께가 더 두껍게 형성되고, 게이트전극외 영역의 상기 산화막의 막두께는 게이트전극 측면에 형성된 산화막의 막두께보다 더 얇게 형성된 것 등을 특징으로 하나, 이는 인용발명1(일본특개2001-15748호)에 개시된, 게이트절연막의 두께가 게이트전극 하부 단부에서 중앙부보다 두꺼우며, 게이트전극 측면 혹은 하부 산화막보다 게이트 외측의 산화막 두께가 더 얇은 반도체 장치와, 인용발명2(한국공개특허 1996-39351호)에 개시된, 게이트전극 하부 가장자리의 산화막 두께를 두껍게 하여 수직 전계 및 누설전류를 감소시킨 모스펫 제조방법으로부터 통상의 지식을 가진 자가 용이하게 발명할 수 있습니다.

[참 부]

첨부 1 일본공개특허공보 평13-015748호(2001.01.19) 1부
첨부2 한국공개특허공보 1996-39351호(1996.11.25) 1부 끝.

2003.09.26

특허청

심사4국

반도체2심사담당관실

심사관 임동우



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-15748

(P2001-15748A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) IntCl. ⁷	識別記号	F I	ターム(参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 5 F 0 4 0
21/8234		27/08	1 0 2 C 5 F 0 4 8
27/088			

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-187970

(22) 出願日 平成11年7月1日 (1999.7.1)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大内 和也

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F040 DA00 DA02 DB03 EC07 EC19

ED03 ED09 EF02 EF11 EK05

FA12 FA16 FA19 FB02 FC00

F004 FC10

5F048 AC03 BB06 BB07 BB11 BC06

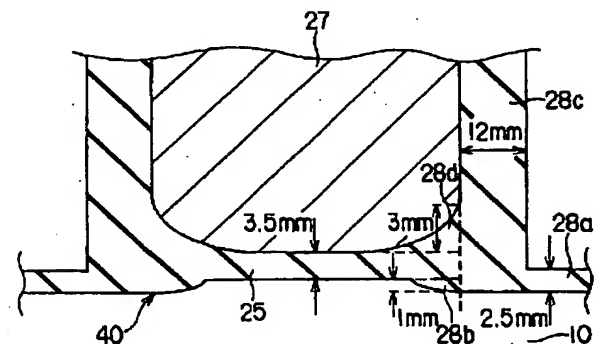
BE03 BG14 DA18 DA27

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート電極端部のリーク電流の発生を抑制し、かつ、ソース/ドレイン拡散層形成時のイオン注入において、基板に注入される不純物のドーズ量の低下を抑制する。

【解決手段】 半導体基板10上に窒素を含むゲート絶縁膜25を形成し、このゲート絶縁膜25上に選択的にゲート電極27を形成する。その後、後酸化が行われ、全面にゲート後酸化膜28が形成される。これによって、ゲート電極27端部のゲート絶縁膜25は、ゲート電極27側の膜厚28dに対して半導体基板10側の膜厚28bが1/3以下となる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された窒素を含むゲート絶縁膜と、

前記ゲート絶縁膜上に選択的に形成されたゲート電極と、

前記ゲート電極の表面に形成された後酸化膜と、

前記ゲート電極の両側の前記半導体基板の表面に形成された拡散層とを有することを特徴とする半導体装置。

【請求項2】 前記ゲート電極端部の前記ゲート絶縁膜において、前記半導体基板側の膜厚は前記ゲート電極側の膜厚の1/3以下になっていることを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板上に窒素を含むゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に選択的にゲート電極を形成する工程と、

後酸化を行い、前記ゲート電極の表面に酸化膜を形成する工程と、

前記ゲート電極の両側の前記半導体基板の表面に拡散層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 前記ゲート電極端部の前記ゲート絶縁膜において、前記半導体基板側の膜厚は前記ゲート電極側の膜厚の1/3以下になっていることを特徴とする請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFETのゲート電極の構造に係わる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来からシリコンMOSFETのゲート絶縁膜の耐圧劣化を防ぐ方法として、後酸化という手法がある。

【0003】図18は、MOSFETの製造工程における後酸化を行った後の構造を示す断面図である。

【0004】図18に示すように、シリコン基板50上にゲート絶縁膜51が形成され、このゲート絶縁膜51上に選択的にポリシリコンからなるゲート電極（ポリシリコンゲート電極）52が形成される。その後、後酸化が行われ、全面にゲート後酸化膜53が形成される。

【0005】このような後酸化工程においては、シリコン基板50とともにポリシリコンゲート電極52も酸化される。このため、ゲート電極52の端部の酸化膜の膜厚が増大する。従って、ゲート電極52端部の曲率半径を大きくできるため、電界集中を回避することが可能になる。

【0006】

【発明が解決しようとする課題】しかしながら、後酸化を行うことにより、ポリシリコンとともに、シリコン基

板50も酸化され、ゲート電極52端部で酸化膜の膜厚が必要以上に厚くなる。

【0007】このため、ゲート電極端部における電気力線の漏れによりゲートのチャネルに対する支配力が低下する。従って、微細なチャネル領域でのしきい値電圧の絶対値が低下し、MOSFETのオフ時に流れるオフリーク電流が増加する。

【0008】また、ソース／ドレイン電極のエクステンション拡散層を形成する場合、後酸化膜をイオン注入時の保護酸化膜として使用する際に、不純物イオンが後酸化膜53中に取り込まれる。このため、シリコン基板50に注入される不純物のドーズ量が低下する。更に、上記理由により、酸化膜界面よりも深く不純物イオンの飛程を取る必要があるため、注入されたイオンはその分布が大きく広がり、急峻なプロファイルの形成が困難である。

【0009】本発明は上記課題を解決するためになされたものであり、その目的とするところは、ゲート電極端部のリーク電流の発生を抑制し、かつ、ソース／ドレイン拡散層形成時のイオン注入において、基板に注入される不純物のドーズ量の低下を抑制する半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0011】本発明の半導体装置は、半導体基板上に形成された窒素を含むゲート絶縁膜と、前記ゲート絶縁膜上に選択的に形成されたゲート電極と、前記ゲート電極の表面に形成された後酸化膜と、前記ゲート電極の両側の前記半導体基板の表面に形成された拡散層とを有する。

【0012】また、前記ゲート電極端部の前記ゲート絶縁膜において、前記半導体基板側の膜厚は前記ゲート電極側の膜厚の1/3以下になっている。

【0013】本発明の半導体装置の製造方法は、半導体基板上に窒素を含むゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に選択的にゲート電極を形成する工程と、後酸化を行い、前記ゲート電極の表面に酸化膜を形成する工程と、前記ゲート電極の両側の前記半導体基板の表面に拡散層を形成する工程とを含む。

【0014】また、前記ゲート電極端部の前記ゲート絶縁膜において、前記半導体基板側の膜厚は前記ゲート電極側の膜厚の1/3以下になっている。

【0015】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0016】図1乃至図6は、本発明の半導体装置に係わり、素子分離領域の形成を示す各工程の断面図である。

【0017】まず、図1に示すように、半導体基板10

上に第1のシリコン酸化膜11が形成され、第1のシリコン酸化膜11上にシリコン窒化膜12が形成される。このシリコン窒化膜12上に第2のシリコン酸化膜13が形成される。

【0018】次に、図2に示すように、第2のシリコン酸化膜13上にパターンニングされたフォトレジスト膜14が形成される。このフォトレジスト膜14をマスクとして、第1及び第2のシリコン酸化膜11及び13、シリコン窒化膜12が選択的に除去される。その後、フォトレジスト膜14が除去される。

【0019】次に、図3に示すように、第1、第2のシリコン酸化膜11、13及びシリコン窒化膜12をマスクとして、反応性イオンエッチング(RIE)により、素子分離領域に対応する半導体基板10が除去され、半導体基板10内にトレンチ15が形成される。

【0020】次に、図4に示すように、全面にシリコン酸化膜16が形成され、トレンチ15が埋め込まれる。

【0021】次に、図5に示すように、化学的機械研磨(CMP)法により、シリコン酸化膜16が平坦化され、シリコン窒化膜12の表面が露出される。

【0022】次に、ウエットエッチングにより、シリコン酸化膜11及び16、シリコン窒化膜12が除去され、半導体基板10の表面が露出される。

【0023】このようにして、図6に示すように、半導体基板10内に素子分離領域17が形成される。その後、全面にシリコン酸化膜18が形成される。

【0024】次に、図7乃至図13は、電極の形成工程を示す断面図である。

【0025】まず、図7に示すように、半導体基板10上にパターンニングされたフォトレジスト膜(図示せず)が形成される。このフォトレジスト膜をマスクとしてイオン注入及び拡散が行われ、半導体基板10の表面にPウェル21が形成される。その後、フォトレジスト膜が除去される。同様に、Pウェル21上にパターンニングされたフォトレジスト膜(図示せず)が形成される。このフォトレジスト膜をマスクとしてイオン注入及び拡散が行われ、半導体基板10の表面にNウェル22が形成される。その後、フォトレジスト膜が除去される。

【0026】次に、半導体基板10内のPウェル21及びNウェル22の表面にそれぞれnチャネル領域23及びpチャネル領域24が形成される。その後、シリコン酸化膜18が除去される。

【0027】次に、図7に示すように、半導体基板10上にゲート絶縁膜25が形成される。この際、NO、N₂O、あるいはNH₃のいずれかを含む窒素を含む気体と酸素の混合ガスあるいは単独ガスにより酸化窒化反応が行われる。従って、窒素を0.1%乃至10%含むシリコン酸化膜からなるゲート絶縁膜25が形成される。つまり、図14に示すように、半導体基板10側のゲート絶縁膜25の表面に窒素の高濃度領域40が形成され、

図15に示すように、半導体基板10の表面とゲート絶縁膜25の境界部が窒素を最も多く含む状態となっている。尚、ゲート酸化膜25と高濃度領域40の形成方法は上記に限定されるものではない。例えばゲート絶縁膜25は、あらかじめ、ベースとなるシリコン酸化膜を形成後、上述のNO、N₂O、あるいはNH₃のいずれかのガスにより窒化してもよい。

【0028】次に、図7に示すように、ゲート絶縁膜25上にポリシリコン26が形成される。

【0029】次に、ポリシリコン26上にパターンニングされたフォトレジスト膜(図示せず)が形成される。その後、図8に示すように、フォトレジスト膜をマスクとして、RIEにより、ポリシリコン26及びゲート絶縁膜25が選択的に除去され、ポリシリコンゲート電極27が形成される。

【0030】次に、図9に示すように、酸化雰囲気により、ポリシリコンゲート電極27の後酸化が行われ、全面にゲート後酸化膜28が形成される。前記ゲート絶縁膜25は窒素を含む膜を用いており、半導体基板10側のゲート絶縁膜25の表面の窒素濃度が最も高くなっている。このため、半導体基板10に対する酸化が抑制される。従って、ポリシリコンゲート電極27の表面は、半導体基板10より多く酸化される。

【0031】例えば、温度が800℃、処理時間が30分のアニールにより酸化する場合、通常、半導体基板10は6nm酸化される。これに対し、上記手法にて形成された窒素が2%含まれている3.5nm厚のゲート絶縁膜25を持つ本発明の半導体装置では、例えば次のようにゲート後酸化膜28が形成される。

【0032】図16に示すように、まず、半導体基板10側において、半導体基板10の表面には2.5nmの酸化膜28aが形成され、ポリシリコンゲート電極27とのオーバーラップ部には1nm以下の酸化膜28bが形成される。また、ポリシリコンゲート電極27側において、ポリシリコンゲート電極27の側面には12nmの酸化膜28cが形成され、ゲート絶縁膜とのオーバーラップ部には3nm以上の酸化膜28dが形成される。このように、ゲート電極27端部のゲート絶縁膜25は、ゲート電極27側の膜厚28dに対して半導体基板10側の膜厚28bは1/3以下となる。

【0033】次に、図10に示すように、Pウェル21上にパターンニングされたフォトレジスト膜29が形成される。このフォトレジスト膜29をマスクとして不純物が導入され、Nウェル22の半導体基板10の表面にP型エクステンション領域30が形成される。その後、フォトレジスト膜29が除去される。

【0034】次に、図11に示すように、Nウェル22上にパターンニングされたフォトレジスト膜31が選択的に形成される。このフォトレジスト膜31をマスクとして不純物が導入され、Pウェル21の半導体基板10の

表面にN型エクステンション領域32が形成される。その後、フォトレジスト膜31が除去される。

【0035】図12に示すように、全面にシリコン窒化膜33が形成される。

【0036】図13に示すように、RIEにより、シリコン窒化膜33が選択的に除去され、ゲート電極27の側壁にゲート側壁(スペーサ)34が形成される。

【0037】次に、Nウェル22上にパターンニングされたフォトレジスト膜(図示せず)が選択的に形成される。このフォトレジスト膜をマスクとして不純物が導入され、Pウェル21の半導体基板10の表面にN型拡散層35が形成される。その後、フォトレジスト膜が除去される。

【0038】次に、Pウェル21上にパターンニングされたフォトレジスト膜(図示せず)が選択的に形成される。このフォトレジスト膜をマスクとして不純物が導入され、Nウェル22の半導体基板10の表面にP型拡散層36が形成される。その後、フォトレジスト膜が除去される。

【0039】以上のように、CMOSFETが形成され、この後、既知の技術であるサリサイド工程、メタライゼーション工程を経てLSIが完成される。

【0040】上記本発明の実施形態によれば、図17に示すように、ゲート電極27側の酸化は進むものの、ゲート電極27の半導体基板10側には窒素の高濃度領域40があるため、半導体基板10方向への酸化を抑制できる。従って、ゲート電極27端部の酸化膜の膜厚の増大を従来に対して約半分の厚さに抑えることができる。

【0041】つまり、ゲート電極27端部の酸化膜が厚くなることによる電気力線の漏れを抑制でき、チャネル領域に対するゲートの支配力の低下を防止できる。

【0042】また、ソース/ドレイン電極のエクステンション拡散層を形成する場合、ゲート絶縁膜をイオン注入時の保護酸化膜として使用しているが、ゲート絶縁膜の膜厚の増加を抑制しているため、基板に注入するドーズ量が低下することを防止できる。従って、イオンの飛程を従来に比べて短くでき、注入されたイオンの分散を抑えることができる。このため、急峻なプロファイルの形成が可能となる。

【0043】また、ゲート電極27端部において、ゲート電極27側は酸化により曲率半径が大きくなるため、ゲート電極27端部の電界集中を緩和することができる。

【0044】尚、前記ゲート電極の酸化方法はアニールに限定されず、例えば温度が1035℃、処理時間が50秒のRTO(Rapid Thermal Oxidation)により酸化してもよい。

【0045】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0046】

【発明の効果】以上説明したように本発明によれば、ゲート電極端部のリーク電流の発生を抑制し、かつ、ソース/ドレイン拡散層形成時のイオン注入において、基板に注入される不純物のドーズ量の低下を抑制する半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明に係わる半導体装置の製造工程を示す断面図。

【図2】図1に続く半導体装置の製造工程を示す断面図。

【図3】図2に続く半導体装置の製造工程を示す断面図。

【図4】図3に続く半導体装置の製造工程を示す断面図。

【図5】図4に続く半導体装置の製造工程を示す断面図。

【図6】図5に続く半導体装置の製造工程を示す断面図。

【図7】図6に続く半導体装置の製造工程を示す断面図。

【図8】図7に続く半導体装置の製造工程を示す断面図。

【図9】図8に続く半導体装置の製造工程を示す断面図。

【図10】図9に続く半導体装置の製造工程を示す断面図。

【図11】図10に続く半導体装置の製造工程を示す断面図。

【図12】図11に続く半導体装置の製造工程を示す断面図。

【図13】図12に続く半導体装置の製造工程を示す断面図。

【図14】本発明の半導体装置のゲート端部を示す断面図。

【図15】基板深さと窒素濃度の関係を示す図。

【図16】本発明に係わる半導体装置のゲート端部を示す断面図。

【図17】本発明に係わる半導体装置のゲート端部を示す断面図。

【図18】従来技術による半導体装置のゲート端部を示す断面図。

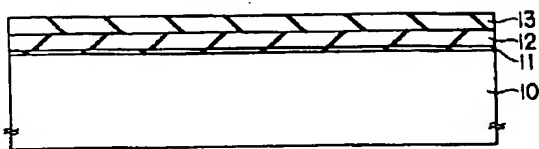
【符号の説明】

- 10…半導体基板、
- 11…シリコン酸化膜、
- 12…シリコン窒化膜、
- 13…シリコン酸化膜、
- 14…フォトレジスト膜、
- 15…トレンチ、
- 16…シリコン酸化膜、
- 17…素子分離領域、

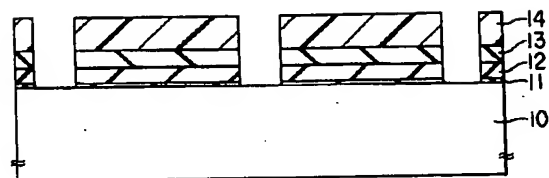
- 18...シリコン酸化膜、
- 21...Pウェル、
- 22...Nウェル、
- 23...nチャネル領域、
- 24...pチャネル領域、
- 25...ゲート絶縁膜、
- 26...ポリシリコン、
- 27...ポリシリコンゲート電極、
- 28...ゲート後酸化膜、

- 29...フォトレジスト膜、
- 30...P型エクステンション領域、
- 31...フォトレジスト膜、
- 32...N型エクステンション領域、
- 33...シリコン窒化膜、
- 34...ゲート電極側壁、
- 35...n型拡散層、
- 36...p型拡散層、
- 40...窒素の高濃度領域。

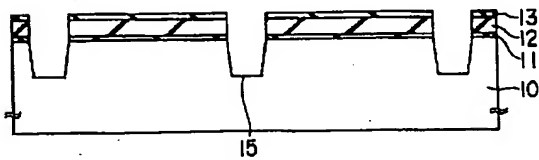
【図1】



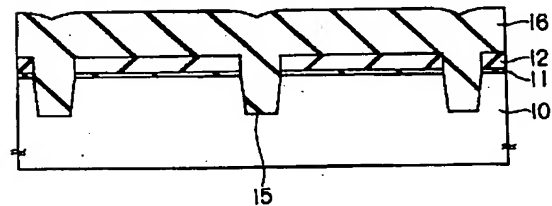
【図2】



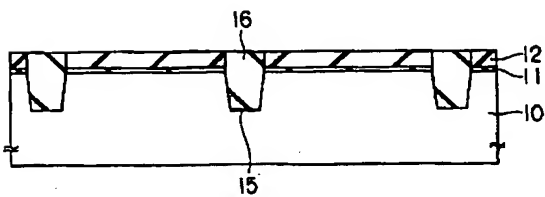
【図3】



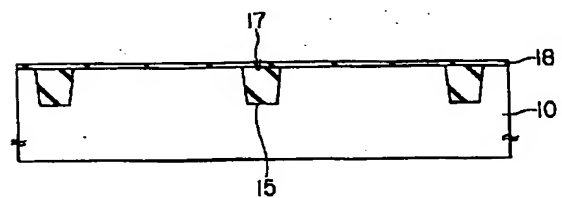
【図4】



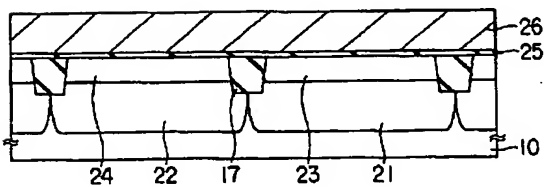
【図5】



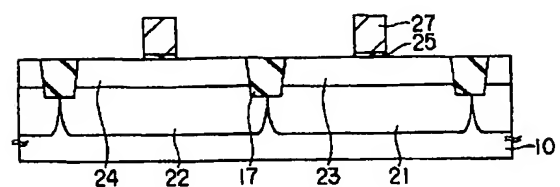
【図6】



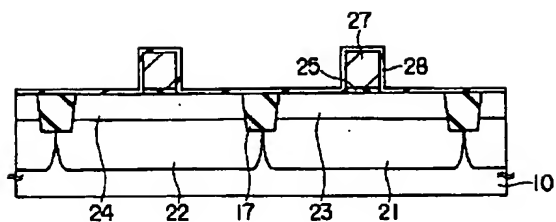
【図7】



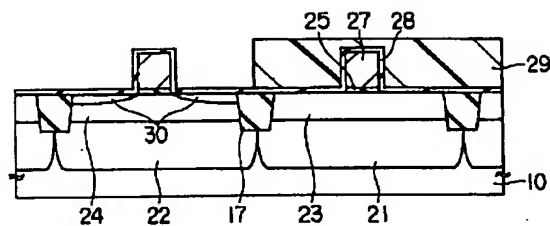
【図8】



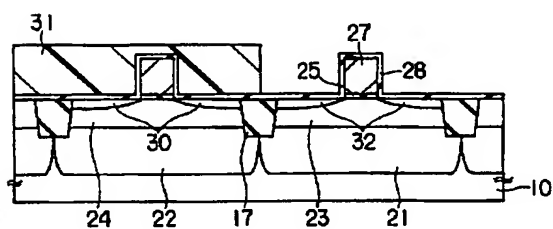
【図9】



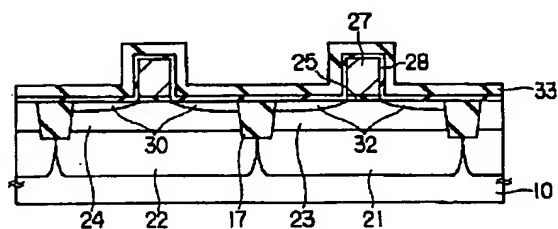
【図10】



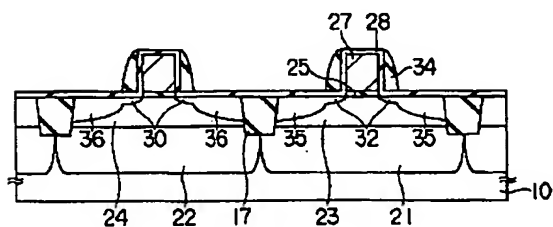
【図11】



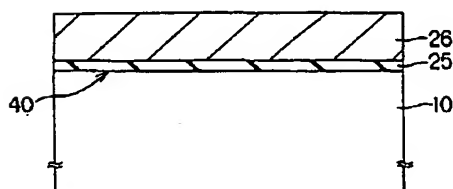
【図12】



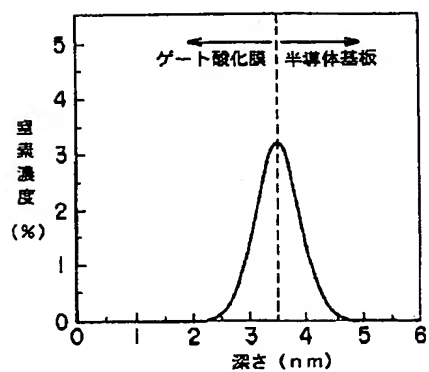
【図13】



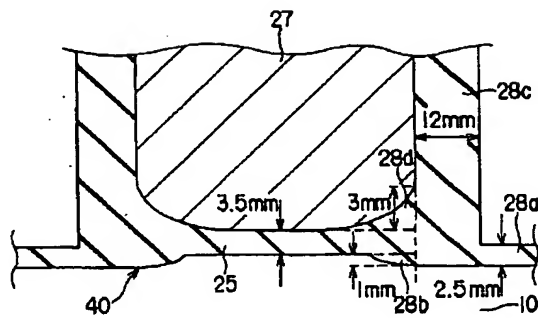
【図14】



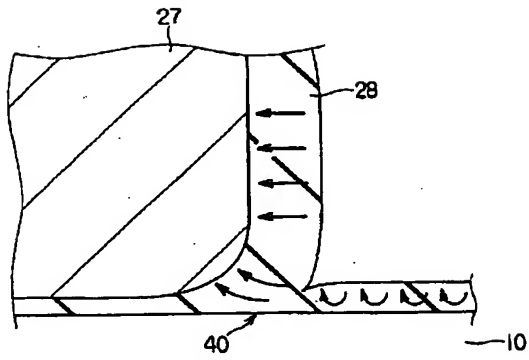
【図15】



【図16】



【図17】



【図18】

